

【特許請求の範囲】

【請求項1】第1のMOSトランジスタが基準電源にダイオード接続され、その他端が、第2のMOSトランジスタのゲートに接続され、前記第2のMOSトランジスタのドレイン電流がカレントミラー回路に入力され、出力がダイオード接続された前記第1のMOSトランジスタに供給されることにより電流が決定される定電流源出力に、ダイオード接続されたMOSトランジスタの直列並列接続した組み合わせ負荷を接続し、前記負荷に発生する電圧を基準電圧出力としたことを特徴とする基準電圧発生回路。

【請求項2】ダイオード接続されたMOSトランジスタの直列並列接続した組合せ負荷の組合せおよびサイズを調整することにより、基準電圧の設定値と温度依存性を調整することを特徴とする請求項1記載の基準電圧発生回路。

【請求項3】ダイオード接続されたMOSトランジスタの直並列接続した組合せ負荷において、前記MOSトランジスタのドレイン側もしくはソース側のMOSトランジスタ電流経路にトリミング用ヒューズを設けることを特徴とした請求項1記載の基準電圧発生回路。

【請求項4】第1、第2、第3の第1導電型MOSトランジスタのソースを第1の電源に接続し、第1、第2、第3のゲートと第2の第1導電型MOSトランジスタのドレインを接続し、第1の第1導電型MOSトランジスタのドレインにダイオード接続された第1の第2導電型MOSトランジスタ負荷を第2の電源との間に順方向に接続し、前記第1の第2導電型MOSトランジスタのゲートと第2の第2導電型MOSトランジスタのゲートを接続し、前記第2の第2導電型MOSトランジスタのソースを抵抗を介して第2の電源に接続し、ドレインを前記第2の第1導電型MOSトランジスタのドレインに接続し、前記第3の第1導電型MOSトランジスタのドレインをダイオード接続された第3の第2導電型MOSトランジスタのドレイン・ゲートに接続し、前記第3の第2導電型MOSトランジスタソースを第2の電源に接続し、さらに前記第3の第2導電型MOSトランジスタゲートに、ソースを第2の電源に接続した第4の第2導電型MOSトランジスタのゲートを接続し、前記第4の第2導電型MOSトランジスタドレインを出力とする定電流源に、ダイオード接続されたMOSトランジスタの直列並列接続した組み合わせ負荷を接続し、前記負荷に発生する電圧を基準電圧出力としたことを特徴とする基準電圧発生回路。

【請求項5】抵抗にポリシリコン配線を用いたことを特徴とする請求項4記載の基準電圧発生回路。

【請求項6】第1、第2の第1導電型MOSトランジスタをそれぞれ複数の並列接続したMOSトランジスタにより構成し、前記並列接続されたMOSトランジスタのドレイン側もしくはソース側のMOSトランジスタ電流

経路にトリミング用ヒューズを設けることを特徴とした請求項4記載の基準電圧発生回路。

【請求項7】抵抗および抵抗と第2の第2導電型MOSトランジスタソースとの間の配線を基板および他の信号配線から第2の電源電位でシールドをしたことを特徴とする請求項4記載の基準電圧発生回路。

【請求項8】第1、第2の第1導電型MOSトランジスタを置き換えた複数の第1導電型MOSトランジスタとヒューズ部を接続する配線を基板および他の信号配線からシールドしたことを特徴とする請求項4記載の基準電圧発生回路。

【請求項9】基準電圧出力配線を基板および他の信号配線からシールドしたことを特徴とする請求項4記載の基準電圧発生回路。

【請求項10】第2の電源と第2の第1導電型MOSトランジスタドレイン間に第5の第2導電型MOSトランジスタを設け、第1の第2導電型MOSトランジスタゲート電位を検知する回路の出力により、前記第5の第2導電型MOSトランジスタゲートを制御することを特徴とする請求項4記載の基準電圧発生回路。

【請求項11】第1の第1導電型MOSトランジスタドレインと第2の第1導電型MOSトランジスタドレインとの間に第6の第2導電型MOSトランジスタを設け、そのゲートを前記基準電圧出力にて制御することを特徴とする請求項4記載の基準電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に用いる基準電圧発生回路に関するものである。

【0002】

【従来の技術】近年、半導体集積回路では、特にダイナミックRAMでは素子の微細化が進み、トランジスタ性能を最大に引き出すのに適した電圧が低下してきている。これに対して使用装置での電源電圧が下がっておらず、このため内部降圧回路によりチップ内部での電圧を降下させている。このような降圧回路では基準電圧発生回路で発生された電圧を基準とした降圧電圧をチップ内部に供給している。

【0003】従来の基準電圧発生回路を図10に示す(特公昭63-244217号公報)。図10に示すように、第1列に電源VCCからダイオード接続されたP型MOSトランジスタP100、P200を直列に設け、P型MOSトランジスタP200とグランドGNDの間にN型MOSトランジスタN100を直列に接続する。第2列にはGNDからダイオード接続されたN型MOSトランジスタN300、N200を直列に設け、N型MOSトランジスタN200とVCCの間にP型MOSトランジスタP300を直列に接続する。N型MOSトランジスタN100のゲートとN型MOSトランジスタN200のゲート、ドレインを接続する。このノード電位が基準電圧VRBP'となる。P型MOSトランジスタP300のゲー

3

トとP型MOSトランジスタP200のゲート、ドレインを接続する。すなわち、第1列の出力がノード100を介しP型MOSトランジスタP300のゲートの入力となり第2列の出力を制御し、一方第2列の出力がノード200を介しN型MOSトランジスタN100のゲートの入力となり、第1列の出力を制御するというフィードバックの構成となっている。例えば、図10において、全MOSトランジスタのゲート長を同じとし、P型MOSトランジスタのしきい値電圧の絶対値をVTP、移動度係数をk'p、N型MOSトランジスタのしきい値電圧をVTN、移動度係数をk'n、P300のゲート幅をWp、N100のゲート幅をWn、他のMOSトランジスタのゲート幅をWとし、全MOSトランジスタを飽和領域で動作させると、基準電圧出力VREF'は、(数1)で表わされる。

$$VREF' = 2 * VTN * (1 + 2 * (Wp * Wn / W^2)^{0.5}) + 2 * (Wp * k'p / W / k'n)^{0.5} * VTP$$

【0005】基準電圧出力VREF'は(数1)で示したように各々のトランジスタのゲート幅で設定でき、MOSトランジスタのしきい値を基準とした値となり、電源電圧には依存しない。(数1)には示されていないがゲート長でも設定できる。また、全MOSトランジスタを飽和領域で動作させる条件としては、電源電圧VCCが電源電圧(VCC) > 設定基準電圧出力(VREF') - VTN + 2 * VTPという条件の時に基準電圧出力VREF'が電源電圧VCCに対して一定となる。

【0006】

【発明が解決しようとする課題】このように、P型、N型MOSトランジスタのしきい値を用い、サイズによりその基準電圧を簡便に決定できる従来回路の基準電圧発生回路は、電源電圧の広い範囲で電源電圧に対する依存性がないが、温度に対して大きな依存性があった。これは基準電圧発生基準となるP型、N型各々のMOSトランジスタのしきい値電圧に温度依存性があり、高温時にはその絶対値が低下する。このため(数1)からわかるように高温時には基準電圧出力VREF'が低下する。その様子を図4に示す。これは従来回路を作製し実測した結果である。図を見て分かるように25度に於て3.30Vが100度では3.15Vと、75度の温度変化に対して0.15V、4.5%低下している。このような温度依存性は高温時にはデバイススピードを低下させ、低温時にはデバイスの消費電流を上昇させるため問題であった。

【0007】

【課題を解決するための手段】上記課題を解決するため本発明は、温度依存性の少ない抵抗とP型MOSトランジスタによりその電流値が決定される正の温度依存性を持つ定電流源にP型MOSトランジスタにより構成された負荷回路を接続し、負荷回路に発生する電圧を基準電圧として出力することを特徴とするものである。

【0008】

【作用】上記構成により、基準電圧の温度依存性を自由に設定することが可能となり、本発明の基準電圧を用いた電源電圧変換回路によれば、高温時の基準電圧の低下によるデバイススピードの低下や、低温時のデバイスの消費電流の上昇等を抑える温度依存性の少ない半導体集

4

*きい値電圧の絶対値をVTP、移動度係数をk'p、N型MOSトランジスタのしきい値をVTN、移動度係数をk'n、P300のゲート幅をWp、N100のゲート幅をWn、他のMOSトランジスタのゲート幅をWとし、全MOSトランジスタを飽和領域で動作させると、基準電圧出力VREF'は、(数1)で表わされる。

【0004】

【数1】

積回路が実現できる。また、逆に高温時に基準電圧を上昇させ、高温時のデバイススピードの低下を補償する温度依存性の基準電圧を発生することも可能である。

【0009】

【実施例】まず、本発明の基準電圧発生回路の第1の実施例について、図1を参照しながら説明する。

【0010】本回路は大きく2つのブロックより構成されており、電源電圧によらず一定電流を供給する定電流源1とP型MOSトランジスタにより構成された負荷回路2よりなり、負荷回路2に発生する電圧を基準電圧として出力する。また、前者の出力する電流値の正の温度依存性と、後者の電流に対する出力電圧の負の温度依存性により全体としての温度依存性をキャンセルし温度依存性の極めて少ない基準電圧発生回路を構成している。定電流源1は定電流源3と電流源の電圧レベルを変換する回路4よりなる。

【0011】まず定電流源3の回路動作について図1を参照しながら説明する。図1は本発明にかかる基準電圧発生回路であり、図中3が基本の定電流源回路部である。N型MOSトランジスタN1、N2によりカレントミラーを構成し、このカレントミラー出力側にはダイオード接続されたP型MOSトランジスタP1が接続されており、そのゲート電位により制御されるP型MOSトランジスタP2のソースがポリシリコン抵抗Rを介して電源VCCに接続されている。また、ドレイン側がN型MOSトランジスタN2のドレイン側に接続されている。N型MOSトランジスタN1、N2のカレントミラーにはさらにカレントミラー接続されたN型MOSトランジスタN3があり、これが定電流源3の出力となる。

【0012】電流源の電圧レベルを変換する回路4は定電流源3の出力を、P型MOSトランジスタP3、P4によりVCC電源側に構成されたカレントミラーの入力P3側に入力し、P型MOSトランジスタP4ドレインより定電流を出力する。

【0013】この回路において、全MOSトランジスタを飽和領域で動作させ、N型MOSトランジスタN1、N2、N3およびP型MOSトランジスタP3、P4のミラー比を式の簡単化のために1:1:1および1:1とした時、定電流源1の出力I0は(数2)のように与えられる。

【0014】

【数2】

$$I_0 = R^{-2} * \left((1/\beta_1)^{0.5} - (1/\beta_2)^{0.5} \right)^2$$

 β_1 : P型MOSトランジスタP1の利得係数 β_2 : P型MOSトランジスタP2の利得係数

【0015】また負荷回路2はダイオード接続したP型 MOSトランジスタP5～P8の直並列接続したものであ 40 出力VREFは(数3)で与えられる。
【0017】

【0016】今簡単のために、ダイオード接続した同じ サイズのP型MOSトランジスタn段を単純に直列接続*
【数3】

$$VREF = n * (I_0 / \beta)^{0.5} + n * VTP$$

 β : n段接続負荷時の負荷のP型MOSトランジスタの利得係数

VTP: P型MOSトランジスタのしきい値電圧絶対値

【0018】(数2)(数3)より基準電圧出力VREFの 式を導くと(数4)のようになる。
※20 【数4】

$$VREF = (VREF0 - n * VTP0) / (\alpha_{R(T)} * \alpha_{\beta(T)}) + n * \alpha_{VTP(T)} * VTP0$$

VREF0: 25度での基準電圧設定値

VTP0: 25度でのP型MOSトランジスタのしきい値電圧絶対値

$\alpha_{R(T)}$: 温度T度での抵抗体の抵抗値を表わすための25度の抵抗値に
対する温度係数

$\alpha_{\beta(T)}$: 温度T度でのP型MOSトランジスタの利得係数を表わすた
めの25度の利得係数に対する温度係数

$\alpha_{VTP(T)}$: 温度T度でのP型MOSトランジスタのしきい値電圧を表わす
ための25度のしきい値電圧に対する温度係数

【0020】(数4)の第2項はP型MOSトランジスタ
のしきい値電圧の項であるため負の温度依存性を持って
おり、負荷側の段数nが多いほどおおきくなることがわ
かる。第1項はP型MOSトランジスタの利得係数の温度
係数と抵抗体の温度係数の積の逆数項であり、また負荷
側の段数nが多いほど小さくなることわかる。

【0021】ここで(数4)の抵抗体、P型MOSTラ
ンジスタの利得係数の逆数、P型MOSトランジスタの
しきい値電圧のそれぞれに対する温度の依存性を一次近

似すると(数5)、(数6)、(数7)のようになる。

(数5)に於ける α_{R0} はどのような抵抗体材料を用いるか
により変わる。また、P型MOSトランジスタの利得係
数の温度依存性はホール移動度の温度依存性によりほぼ
決まり(数6)ようになり、しきい値電圧の温度依存性
は(数7)のようになる。

【0022】

【数5】

$$1 / \alpha_{R(T)} = 1 + \alpha_{R0} * (T - 25)$$

 α_{R0} : 温度に対する抵抗値変化率

【0023】

* * 【数6】

$$1 / \alpha_{B(T)} = 1 + 4.93 \times 10^{-3} * (T - 25)$$

【0024】

※ ※ 【数7】

$$\alpha_{VTP(T)} = VTP0 - 2.0 \times 10^{-3} * (T - 25)$$

【0025】(数4)～(数7)を用いて、基準電圧出力VREFの温度変位を計算によりグラフ化したものが図2～図4であり、各々の図で α_{10} をパラメータにとり、図毎に負荷のP型MOSトランジスタの段数を1段、2段、3段接続した時を示したものである。なお、25度での基準電圧VREF0は3.3V、P型MOSトランジスタのしきい値電圧VTP0は0.8Vとした。

【0026】温度に対する抵抗値変化率 α_{10} が同じであっても、負荷のP型MOSトランジスタの段数が1段、2段、3段と増えるにつれ、温度に対するVREFの変化率は減少し、3段では抵抗値変化率 α_{10} が0であっても負の温度依存性になる。温度に対する抵抗値変化率 α_{10} が $4.0 \times 10^{-5} \text{ deg}^{-1}$ では、段数として最小の $n=1$ に於いても基準電圧出力VREFが負の温度依存性をもつことがわかる。このため温度に対する抵抗値変化率 α_{10} が $4.0 \times 10^{-5} \text{ deg}^{-1}$ 程度あるNウェル抵抗などを用いた本回路では温度補償を行ないゼロにすることができないことがわかる。

【0027】高濃度に不純物をドーピングされたポリシリコン抵抗の温度に対する抵抗値変化率 α_{10} は $0.43 \times 10^{-5} \text{ deg}^{-1}$ 程度であり、 α_{10} が $0.5 \times 10^{-5} \text{ deg}^{-1}$ の温度依存性を見ると、負荷のP型MOSトランジスタの段数が2段では100度付近でVREF変位+0.2V程度、3段ではVREF変位-0.15V程度となり、この間の段数相当の温度補償ができればよいことがわかる。実際に2段と3段という整数段以外の中間値的な特性を得るために、本実施例に示すように1段のダイオード接続されたMOS型トランジスタに、ダイオード接続されたMOS型トランジスタを2個直列接続したものに、1段のダイオード接続されたMOS型トランジスタを並列接続した負荷を接続し温度依存性をほとんどなくすることができる。

【0028】図5に並列接続MOS型トランジスタの左側列P5、P6右側列P7及びGND側の負荷P8のP型MOSトランジスタの利得係数比 $\beta_L : \beta_R : \beta = 0.1 : 1 : 1, 0.938 : 0.156 : 1, 0.988 : 0.06 : 1, 0.995 : 0.04 : 1, 0.999 : 0.02 : 1$ にした場合のVREF変位の温度依存性を計算により求めたグラフを示す。25度での設定基準電圧、しきい値電圧は先と同じである。2段直列側 β_L の利得係数比を大きくさせていくことにより、2段負荷の温度依存性から徐々に3段負荷の温度依存性に近づいていくことがわかる。P型MOSトランジスタの利得係数比 $\beta_L : \beta_R : \beta$ が $0.995 : 0.04 : 1$ において0度から150度の範囲においてVREF変位が20mV以内の極めて温度依存性の少

ない基準電圧発生ができることがわかる。

【0029】このようにポリシリコン抵抗を用いて、出力側負荷に1段のダイオード接続されたMOS型トランジスタに、ダイオード接続されたMOS型トランジスタを2個直列接続したものに、1段のダイオード接続されたMOS型トランジスタを並列接続した負荷を接続し、利得係数すなわちサイズを調整することにより温度依存性を調整できることがわかる。

【0030】本実施例では、MOSトランジスタN3、P3を介してP4から定電流源出力しているが、P型MOSトランジスタP4のゲートを直接P1のゲートに接続しても同様の効果が得られる。またP、Nの導電型を逆にしMOSトランジスタP3部にMOSトランジスタにより構成された負荷を配置しても同様の効果が得られる。

【0031】本発明の基準電圧発生回路の第2の実施例について、図6を用いて説明する。第1の実施例の負荷回路2ではP型MOSトランジスタのみで構成されているが、本実施例では構成要素にヒューズを加えたものである。ダイオード接続されたP型MOSトランジスタとヒューズを直列接続したユニットを複数並列接続したユニットと、ダイオード接続されたP型MOSトランジスタとヒューズを並列接続したユニットを複数直列接続したユニットからなっている。先にのべたように、ダイオード接続したP型MOSトランジスタの直並列の組み合わせ、そのサイズの調整をすることにより、温度依存性を変化させることが可能である。このため、ウェハー工程終了後任意のヒューズをレーザー等でトリミングすることにより、P型MOSトランジスタの直並列の組合せ、実効的サイズを変化させ、出力電圧値およびその温度依存性を調整することが可能となる。

【0032】本発明の基準電圧発生回路の第3の実施例について、図7を参照しながら説明する。本回路では、第1の実施例の定電流源を構成するN型MOSトランジスタN1、N2部がそれぞれN型MOSトランジスタN1a～N1d、N2a～N2dに変更されており、N1b～N1d、N2b～N2dのN型MOSトランジスタそれぞれのドレイン側にはヒューズF1a～F1c、F2a～F2cが接続されている。これはカレントミラーを構成しているノード1側、ノード2側のMOSトランジスタサイズ比を、ヒューズF1a～F1c、F2a～F2cをトリミングすることによりミラー比を変化させ、設定電流I0の調整ができるようにしたものである。標準デバイスパラメータを用いて、ヒューズトリミング無しの場合のサイズ設計し、ウェハー工程を進め、工程終了後ウェハーテスト時に基準電圧を測定し、設定値とのずれ

量に応じてヒューズF1a~F1c, F2a~F2cを適宜トリミングする。ノード1側のヒューズをトリミングすることにより設定電流I0は減少し、それに伴い基準電圧VREFが降下する。一方、ノード2側のヒューズをトリミングすることにより設定電流I0は増加し、それに伴い基準電圧VREFが上昇する。このように、ヒューズトリミングによる実効的なデバイスサイズの変更を可能にすることにより、工程ばらつきによる基準電圧の変動があっても、ウェハー工程後再調整が可能となり、所定の基準電圧を出力できるようになる。

【0033】本発明の基準電圧発生回路の第4の実施例について、図8を参照しながら説明する。本回路では、第1の実施例の定電流源3を構成する回路に電源投入時用のスタートアップ回路5が追加されている。MOSトランジスタP1, P2, N1, N2により構成される回路は、ノード1側、ノード2側各々先のI0が流れ安定となる場合と電流がゼロで安定となる場合の2つの安定点がある。本回路ではノード1側に流れる電流を、P型MOSトランジスタP1とカレントミラー接続されたP型MOSトランジスタP9と、ダイオード接続されたN型MOSトランジスタ負荷N4によって構成されるインバータで検知し、電流が流れていない場合にはP型MOSトランジスタP10を介してノード2に電流を流し込み、カレントミラー接続されているN型MOSトランジスタN1, N2のゲート電位を上昇させ、N1トランジスタをON状態にする。このことによりノード1の電圧が低下し、P型MOSトランジスタP1がONすると共にP型MOSトランジスタP2, P9がON状態となる。P型MOSトランジスタP2がONになることにより、ノード2に電流が流れ込むようになり、ノード1側、ノード2側のフィードバックがかかる。一方P型MOSトランジスタP9がONになることにより、P型MOSトランジスタP10を介してノード2に流れ込む電流が止まり、設定の電流I0でフィードバック動作するようになる。このような、電源投入時スタートアップ回路を付属することにより、必ず設定電流で動作する信頼性の高い基準電圧発生回路が実現できる。

【0034】本発明の基準電圧発生回路の第5の実施例について、図9を参照しながら説明する。本回路では、第1の実施例の定電流源3を構成する回路に電源投入時用のスタートアップ回路5'が追加されている。電源投入直後、図中の電流I0が流れておらず、電流ゼロのときには、ノード1の電位はVCC-VTP以上、ノード2の電位はVTN以下であり、出力電圧VREFは0Vである。このため、P型MOSトランジスタP11はON状態となり、ノード1からノード2へ電流を流し込み、カレントミラー接続されているN型MOSトランジスタN1, N2のゲート電位を上昇させ、N1トランジスタをON状態にする。このこととノード1からノード2に電流を流し込むことによりノード1の電圧が低下し、P型MOSトランジスタP1がONし、さらにP型MOSトランジスタP2がON状

態となる。このことにより定電流源3のフィードバックループの電流I0の起動をかけることができる。電流I0が流れるとノード1の電位は低下し一方出力電圧VREFは上昇する。このため電源電圧やデバイスサイズにもよるがP型MOSトランジスタP12はOFF状態もしくはOFF状態に近づく。P型MOSトランジスタP12のサイズを絞るまたは定常状態のノード1と電源間の電圧を大きく取ることにより、使用電圧範囲でのP型MOSトランジスタP12を介して流れる電流を電流I0に比べ少なくしておく、出力電圧VREFに影響を与えないようにしておくことが可能である。先の実施例と同様に、このような、電源投入時スタートアップ回路を付属することにより、必ず設定電流で動作する信頼性の高い基準電圧発生回路が実現できる。

【0035】本発明の基準電圧発生回路の第6の実施例について、図10を用いて説明する。本実施例では、ノード1及びN型MOSトランジスタN1b~N1cのドレインからそれぞれヒューズF1a~F1cへ行く配線にシールドS1a, S1bを施し、抵抗体R及びその接続配線にシールドSRを施し、電源電位にシールドしている。またノード2及びN型MOSトランジスタN2b~N2cのドレインからそれぞれヒューズF2a~F2cへ行く配線にシールドS2a, S2bを施し、基準電圧VREF配線用にシールドSVREFを施し、GND電位にシールドしている。これは次のような理由による。

【0036】ダイナミックRAM等ではスタンバイ電流を抑える必要から、基準電圧発生回路のような常時動作している必要のある回路においては消費電流を極力絞っており、各ノードの信号インピーダンスが非常に高く数メガオームにおよぶ。このため、本体回路レイアウトから引き出される配線及び抵抗体は、隣接配線、配線の下層、上層との浮遊容量によるカップリングにより、他の信号の雑音を非常に受け安く、基準電圧が容易に変動してしまう。このために本実施例のように、電源電位シールド、GND電位シールドを施し、基板や他の配線からの雑音の進入を防ぐようにする。また、シールドを行うとその信号線はシールド電位との間に浮遊容量を持つことになる。このことは逆にシールド電位からの雑音を受けやすくする。つまり一般的には電源ノイズ、GNDノイズの影響を受けやすくする。本発明の回路では全てのノード電位が電源電圧によらず、電源側から一定電位か、GND側から一定電位か何れかである。本実施例では、該当ノード電位が電源側から一定か、GND側から一定かによって、各々電源電位シールド、GND電位シールドを使い分けることにより、信号線に乗る電源ノイズ、GNDノイズによる基準電圧出力VREFの変動を無くすようにしている。このことにより、電源ノイズや信号ノイズに対して強い安定した基準電圧発生を可能としている。

【0037】

【発明の効果】以上のように本発明によれば、温度依存性の少ない抵抗とP型MOSトランジスタによりその電流値が決定される正の温度依存性を持つ定電流源にP型MOSトランジスタにより構成された負荷回路を接続し、負荷回路に発生する電圧を基準電圧として出力することにより、基準電圧の温度依存性を自由に設定することが可能となり、本発明の基準電圧を用いた電源電圧変換回路によれば、高温時の基準電圧の低下によるデバイススピードの低下や、低温時のデバイスの消費電流の上昇等を抑える温度依存性の少ない基準電圧発生回路が実現できる。また、逆に高温時に基準電圧を上昇させ、高温時のデバイススピードの低下を補償する温度依存性の基準電圧を発生することも可能である。

【図面の簡単な説明】

【図1】本発明の基準電圧発生回路の第1の実施例を示す図

【図2】本発明の第1の実施例における基準電圧電位変位の温度依存性を示す図（負荷P型MOSトランジスタ1段の場合、25℃の基準電圧基準）

【図3】本発明の第1の実施例における基準電圧電位変位の温度依存性を示す図

【図4】本発明の第1の実施例における基準電圧電位変

位の温度依存性を示す図

【図5】本発明の第1の実施例における基準電圧電位変位の温度依存性を示す図

【図6】本発明の基準電圧発生回路の第2の実施例を示す図

【図7】本発明の基準電圧発生回路の第3の実施例を示す図

【図8】本発明の基準電圧発生回路の第4の実施例を示す図

【図9】本発明の基準電圧発生回路の第5の実施例を示す図

【図10】本発明の基準電圧発生回路の第6の実施例を示す図

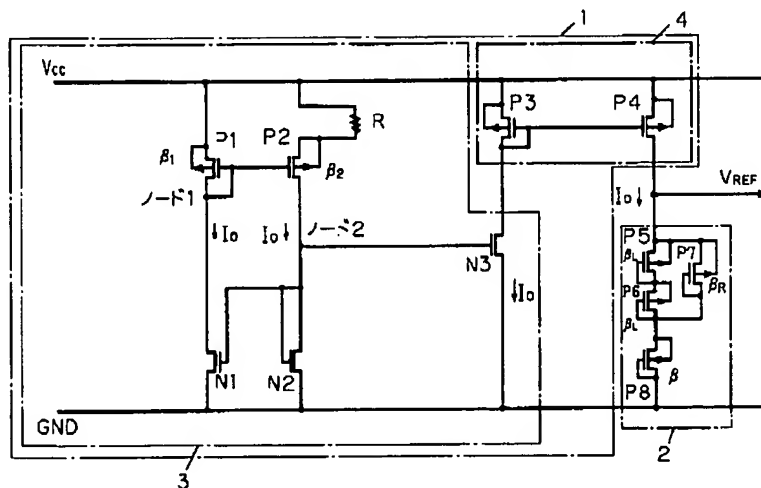
【図11】従来の基準電圧発生回路を示す図

【図12】従来の基準電圧発生回路の基準電圧の温度依存性を示す図

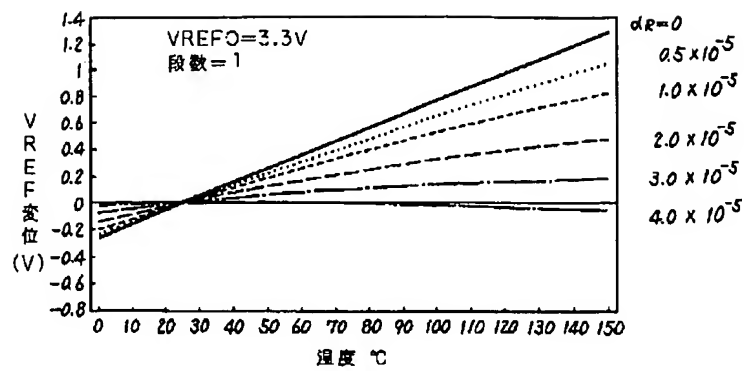
【符号の説明】

- 1, 3 定電流源
- 2 P型MOSトランジスタにより構成された負荷回路
- 4 電流源の電圧レベルを変換する回路
- 5, 5' スタートアップ回路

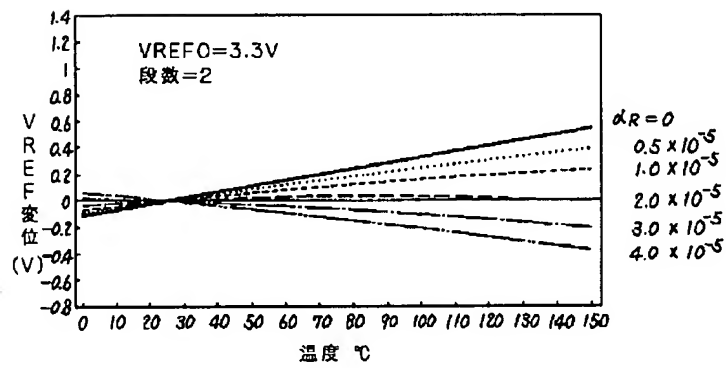
【図1】



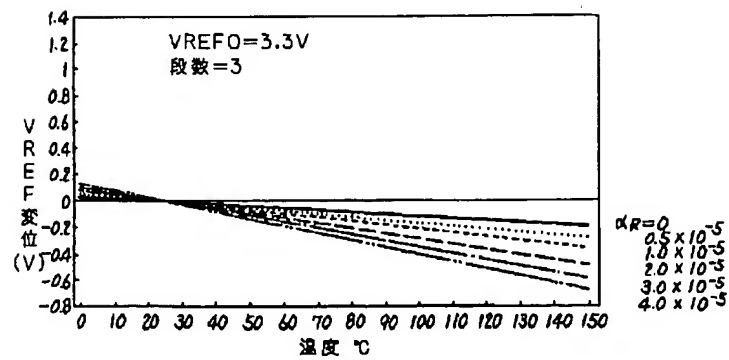
【図2】



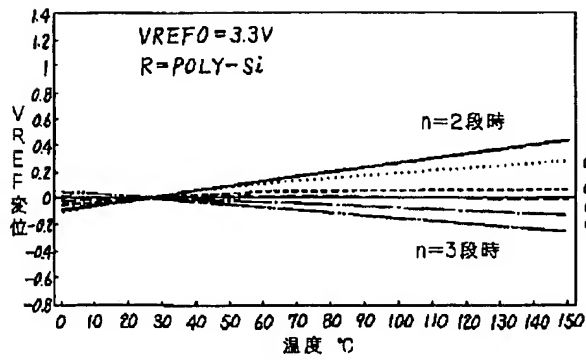
【図3】



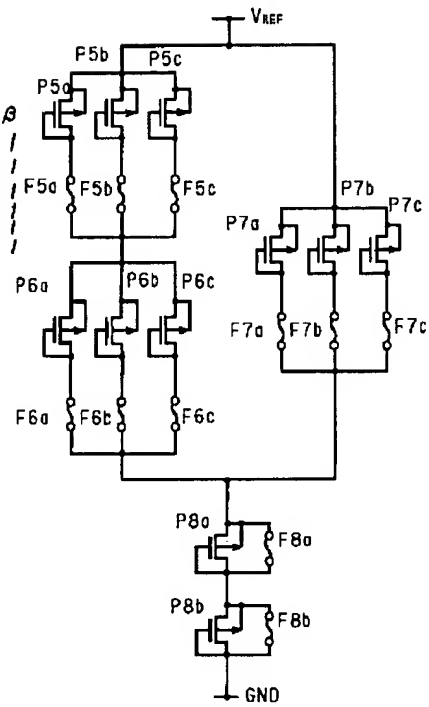
【図4】



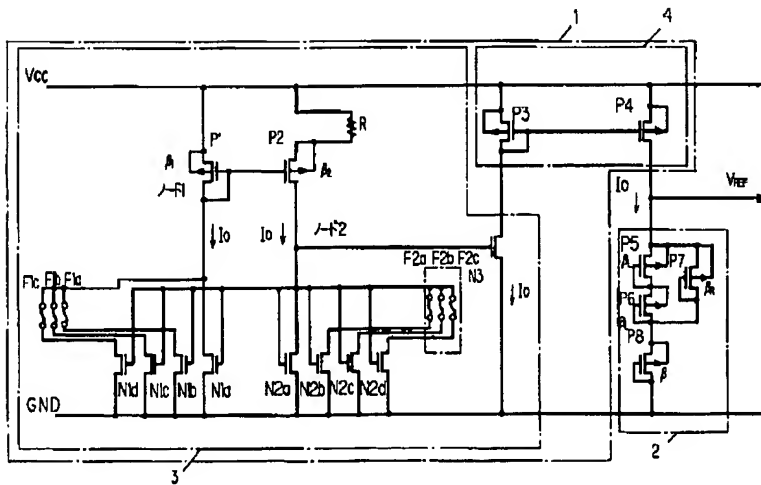
【図5】



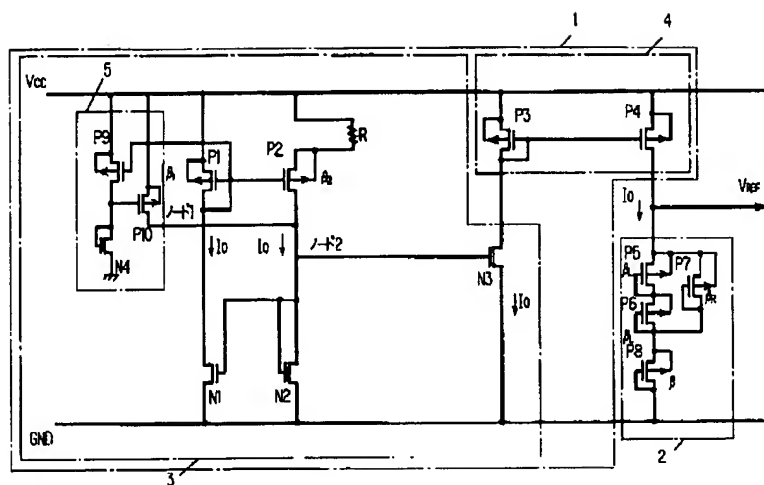
【図6】



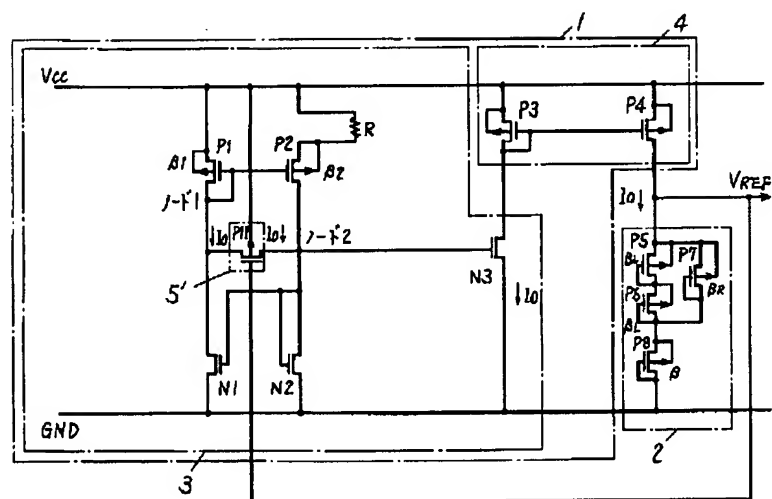
【図7】



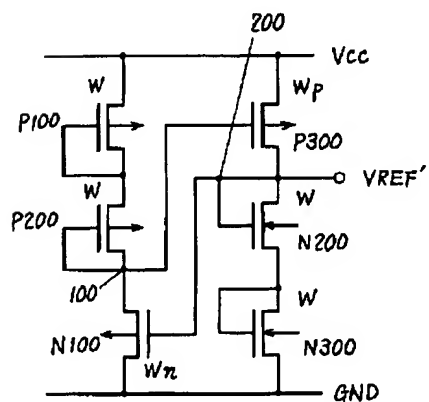
【図8】



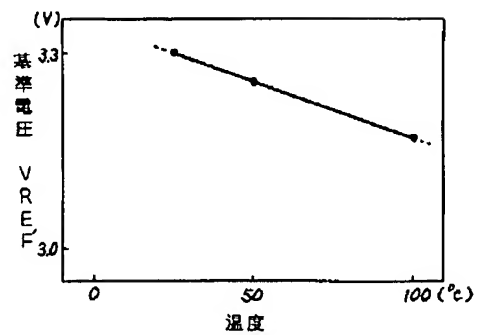
【図9】



【図11】



【図12】



【図10】

